

SELECCIÓN DE PROBLEMAS CURSO 2010-2011

1. Convertir a hexadecimal y a binario las siguientes cantidades:

- a) 757.25_{10}
- b) 123.17_{10}

2. Se dispone de palabras de 10 bits. Representar mediante los criterios de magnitud-signo (M-S), complemento a 1 (Ca1) y complemento a 2 (Ca2), los números enteros siguientes:

- a) -305
- b) +37
- c) -222
- d) -79
- e) +555

3. Convertir a hexadecimal y a binario las siguientes cantidades:

- a) 356.89_{10}
- b) 1063.5_{10}

4. Representación numérica

a.- Convertir a base decimal los siguientes números:

- $(201.2)_3$
- $(FFA.7)_{16}$
- $(100)_5$
- $(26.5)_7$
- $(326.5)_9$

b.- Convertir a base binaria los siguientes números:

- $(235.3)_{10}$
- $(FFA.7)_{16}$
- $(100)_8$
- $(26.5)_7$
- $(210.1)_3$

5. Convierte los siguientes números a la base que se pide

- | | |
|-------------------------------|---------------------------|
| a) 1011111.1010_2 a base 16 | b) 432_4 a base 10 |
| c) 857_8 a base 10 | d) 110011.11_2 a base 5 |

6. ¿Es posible construir los códigos ponderados 6-2-1-1 y 5-3-1-1 para dígitos BCD? Razonar la respuesta. En caso afirmativo, construir los códigos. ¿Qué número representa 1100 0011 en estos códigos?

7. Simplificar al máximo las siguientes expresiones booleanas:

a) $F(a,b,c) = abc + \overline{a}bc + \overline{a}b\overline{c} + a\overline{b}c + \overline{a}\overline{b}c$

b) $G(a,b,c,d) = bc + \overline{a}c + ab + bcd$

8. Obtener las expresiones mínimas como suma de productos y como producto de sumas de las siguientes funciones:

a) $F(x,y,z) = x\overline{y} + \overline{x}(\overline{y} + z)$

b) $G(x,y,z,v) = (x + \overline{y} + z)(\overline{x} + \overline{v})(\overline{x} + y + v)$

c) $H(x,y,z,w) = y\overline{z} + xyw + zxw + x\overline{z}\overline{w}$

d) $I(a,b,c,d) = \sum m(0,1,3,6,11) + \sum d(4)$

9. Utilizando las leyes de Morgan, obtener una expresión en forma de sumas de productos para la siguiente función.

$$F = \overline{(x + y)(\overline{xy} + z)}$$

10. Sumar los siguientes números en binario utilizando la representación en complemento a 2. Utilice una longitud de palabra de 6 bits (incluyendo el signo) e indique si se produce un desbordamiento

a) $21+11$

b) $(-14)+(-32)$

c) $(-25)+18$

d) $(-12)+13$

e) $(-11)+(-21)$

Repetir usando el sistema de complemento a 1

11. Aritmética binaria

a.- Determinar en cuáles de las siguientes operaciones (con operandos representados en Ca2 de 4 bits), el resultado no es correctamente representable, es decir, se produce desbordamiento:

- $0110+0101$
- $0000-1111$
- $1001-1011$
- $0100-1110$
- $1001+1111$
- $0000+1111$

b.- Hallar el valor decimal, la suma y la diferencia de los números binarios $A=11100111$ y $B=10111111$, suponiendo que:

- Ambos están representados en Magnitud y signo.
- Ambos están representados en Ca2.
- Ambos están representados en Ca1.

12. Suponiendo que todos los números están codificados en binario puro, realizar las operaciones indicadas

12.1. Sumar:

- a) 1111 y 1010
- b) 110110 y 11101

12.2. Restar:

- a) 11110100 - 1000111
- b) 1110110 - 111101
- c) 10110010 - 111101

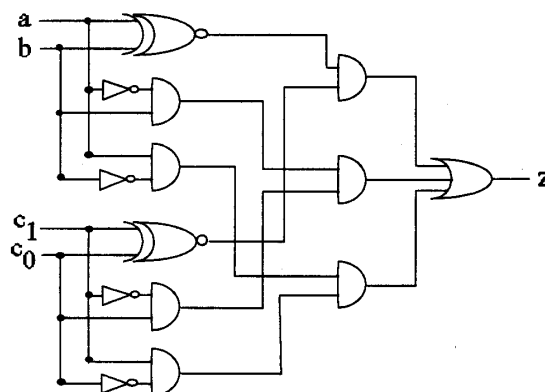
13. Representación numérica

- a) Calcúlense las representaciones que se indican de los números de la siguiente tabla suponiendo que se dispone de cuatro bits. Indíquese y justifíquese si no es posible su representación.

Número decimal	Complemento a 2	Complemento a 1	Magnitud y signo
14			
-1			
-0			
-7			

- b) Hallar el valor decimal, la suma y la diferencia de los números binarios $A=11100111$ y $B=10111111$, su suma y diferencia, suponiendo que ambos están representados en Ca2.

14. Obtener la tabla de la verdad del circuito:



15. Tenemos tres monedas, cada una de ellas con sus respectivas cara y cruz. Representa la cara la cruz de cada moneda mediante una variable lógica (A para la primera moneda, B para la segunda moneda y C para la tercera), donde la variable lógica es 1 para la cara y 0 para la cruz. Escriba una función lógica $F(A, B, C)$ que sea 1

si y sólo si exactamente una de las monedas muestra la cara después de lanzar las tres monedas al aire. Expresa F:

- a) En función de miniterminos
- b) En función de maxiterminos

16. Las normas de seguridad de los modernos aviones comerciales exigen que, para señales de vital importancia para la seguridad del aparato, los circuitos deben estar triplicados para que el fallo de uno de ellos no produzca una catástrofe. En caso de que los tres circuitos no produzcan la misma salida, ésta se escogerá mediante votación. Diseña el circuito “votador” que ha de utilizarse para obtener como resultado el valor mayoritario de las tres entradas.

- a) Obtener la tabla de la verdad del circuito
- b) Minimizar usando Karnaugh e implementar el circuito. Se dispone de 3 puertas AND y 1 puerta OR
- c) Implementar el circuito usando únicamente puertas NAND

17. La lectura de la temperatura de una cámara frigorífica, en grados centígrados, se obtiene con cuatro bits (T_3, T_2, T_1, T_0) codificada en complemento a 2, siendo T_0 el bit menos significativo. Se necesitan dos salidas (LR y LV) que activen un led rojo (LR) y un led verde (LV) respectivamente (ambos activos a nivel alto). Para ello, se quiere implementar un circuito que active el led verde cuando la temperatura de la cámara esté entre -3 y $+4$ °C, ambas incluidas, y el led rojo en el resto de los casos.

- a. Escribir la tabla de la verdad.
- b. Obtenga la función lógica simplificada para la salida LV. Para ello utilice un mapa de Karnaugh.
- c. Implemente la salida LV utilizando puertas NAND.

18. Un estudiante de la ETSII aprobará la asignatura Introducción al Diseño Lógico Digital si se encuentra incluido en al menos uno de los siguientes grupos:

1. Hombres repetidores que estudien
2. Estudiantes no repetidores que estudien y sean de gestión
3. Hombres no repetidores que estudien
4. Mujeres no repetidoras que sean de sistemas
5. Estudiantes repetidores que estudien y sean de gestión
6. Mujeres repetidoras que estudien

Cada grupo está caracterizado por las variables A, B, C, D de acuerdo con el siguiente criterio:

- $A=1$ si el estudiante es hombre
- $B=1$ si el estudiante es de sistemas
- $C=1$ si el estudiante es no repetidor
- $D=1$ si el estudiante estudia

La función $F(A, B, C, D)$ tendrá salida 1 si y sólo si el estudiante aprueba. Se pide:

- a) Obtener la tabla de verdad de F

- b) Obtener la expresión algebraica mínima de la función f , haciendo uso de los mapas de Karnaugh
- c) Implementar usando puertas NOR
- d) Encontrar un conjunto de requisitos más simple, es decir, que incluya menos grupos, para aprobar

19. El gobierno del país de Logilandia está compuesto por un presidente (A) y tres ministros (B, C y D). En una votación ningún miembro del gobierno puede abstenerse y las decisiones se toman por mayoría simple. En caso de empate decide el voto del presidente.

El presidente ha ordenado el diseño de un sistema que automatice el proceso de votación y emita el resultado de la misma.

- Especificar el sistema de votación encargado por el presidente (tabla de la verdad).
- Obtener la expresión más simplificada posible en forma de suma de productos usando un mapa de Karnaugh.
- Implementar el circuito usando exclusivamente puertas NAND.
- La *parienta* del presidente (E), en uso de “extra-atribuciones de Primera Dama”, especifica la introducción de un pulsador secreto que le permita, *a posteriori*, invertir el resultado de la votación en el momento que ella desee. Completar el diseño con esta nueva consideración añadiendo las puertas básicas que estimes oportunas al bloque diseñado previamente.

20. Se desea diseñar la función combinacional siguiente:

$$F(a,b,c,d) = \overline{a}b\overline{c}d + \overline{a}bcd + a\overline{b}c\overline{d} + a\overline{b}cd + a\overline{b}c\overline{d} + a\overline{b}cd + ab\overline{c}d + ab\overline{c}d + ab\overline{c}d$$

- a) Se dispone de un multiplexor 8 a 1
- b) Se dispone de un multiplexor 4 a 1 y puertas lógicas de 2 entradas

21. Diseñe un circuito de 4 entradas, a , b , c , d , y 3 salidas, z_0 , z_1 , z_2 que realice las siguientes funciones:

- z_0 vale 1 cuando tres o más entradas sean 1
- z_1 vale 1 cuando haya el mismo número de unos que de ceros
- z_2 vale 0 cuando dos o más entradas sean 1

Para ello se dispone de:

- a) Un decodificador 4 a 16 con salidas activas en nivel alto y puertas NOR
- b) Un decodificador 4 a 16 con salidas activas en nivel bajo y puertas NAND

22. Subsistemas combinacionales. Se desea diseñar un circuito de control de una planta de montaje encargado de la señal de aviso de evacuación. Para ello se dispone de tres sensores:

- A.- sensor de incendio,
- B.- sensor de humedad

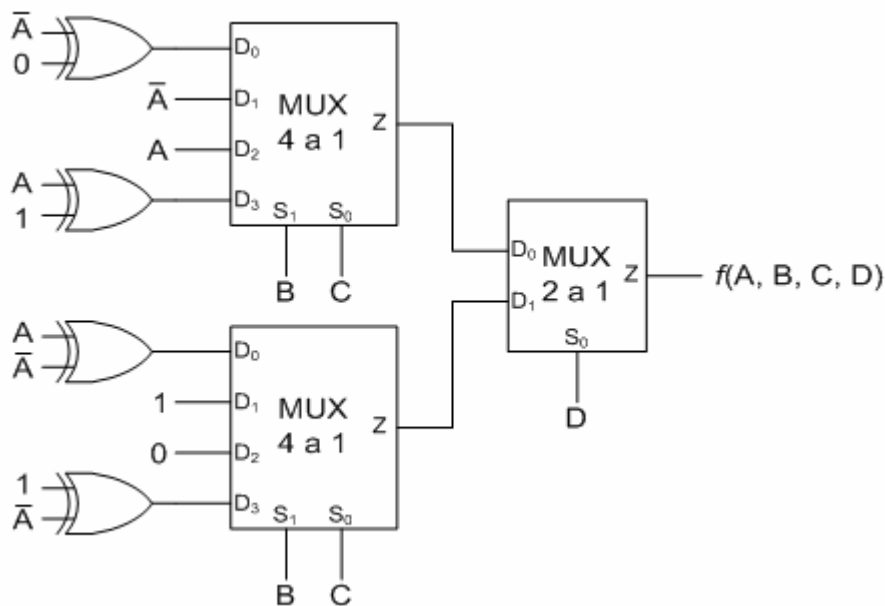
- C.- sensor de presión

Los materiales con los que se trabaja en dicha planta son tales que son inflamables y solo toleran unos niveles mínimos de presión y humedad de forma conjunta (estos niveles se encuentran programados en los sensores correspondientes). El circuito a diseñar debe ser tal que active una señal de alarma cuando exista riesgo para los operarios de la planta.

Para ello se dispone de:

- Determina la tabla de verdad del sistema
- Obtén la función lógica mínima que gobierne el sistema
- Implementar dicha función con un multiplexor de 2 a 1
- Implementar dicha función con un multiplexor de 4 a 1

23. Expresa la función implementada en la figura de abajo en producto de maxitérminos (es decir, de la forma $f(A,B,C,D)=\prod M(\dots)$). A efectos de la indexación de los maxitérminos se considera la variable A como la más significativa y la D como la menos significativa. Por ejemplo, $M_1=A+B+C+\bar{D}$.



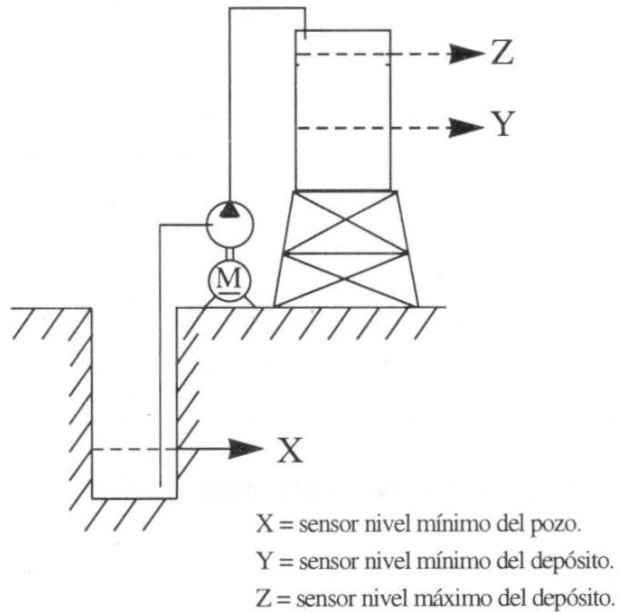
24. En una cierta empresa los cuatro directivos se distribuyen las acciones según $A=45\%$, $B=30\%$, $C=15\%$ y $D=10\%$. Diseñar una máquina de escrutinio sabiendo que cada miembro tiene un porcentaje de voto igual a su número de acciones y que para aprobar una moción los votos afirmativos deben superar el 50 %. Se dispone de un multiplexor 4 a 1 y puertas lógicas básicas

25. Una motobomba eléctrica está sumergida en un pozo y eleva el agua hasta un depósito. El accionamiento está gobernado automáticamente por el sensor de nivel mínimo del pozo (X) y los sensores de nivel mínimo y máximo del depósito (Y, Z respectivamente). El arranque se produce si X está activado e Y y Z no lo están. La

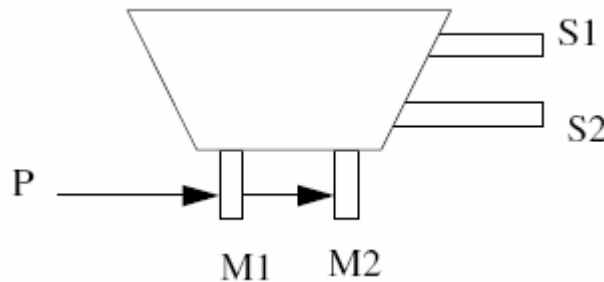
parada se produce si no hay agua en el pozo, si el nivel de agua está entre Y y Z o si el depósito va a rebosar.

Se pide:

- e) Obtener la expresión algebraica mínima de la función F como suma de productos, haciendo uso de los mapas de Karnaugh (hasta 1 punto)
- f) Implementar usando exclusivamente un MUX 2 a 1 (hasta 1 punto)
- g) Este diseño no resulta robusto ya que el depósito puede rebosar por efecto de la lluvia. Para evitar esto se añade al depósito una válvula (V) que devuelve agua al pozo si el nivel del mismo supera Z. También devuelve agua si el pozo está seco y el nivel del depósito está por encima de Y. Implementar la función V con puertas básicas (NOT, OR, AND) (hasta 1 punto)



26. Se desea diseñar un circuito de control de una máquina trituradora. En esta máquina existen dos sensores de llenado (S1 y S2), que determinan el nivel de los elementos a triturar como se muestran en la figura:



Cuando la máquina se encuentra llena del todo, tienen que entrar en funcionamiento ambos trituradores; cuando se encuentra medio lleno, sólo tiene que funcionar uno de ellos; mientras que si no se detecta ningún elemento a triturar, ambos motores se han de parar. Dicha máquina tiene un mecanismo de emergencia a través de un conmutador de trituración (P), de tal forma que cuando está conectado la máquina opera según su contenido, mientras que si está desconectado, la máquina ha de pararse independientemente de su contenido.

1. Implementar usando un multiplexor 2 a 1 y puertas básicas
2. Simplificar convenientemente y usar puertas NOR
3. Emplear un decodificador y puertas básicas

27. Un proceso químico posee tres indicadores de la temperatura del punto P cuyas salidas T1, T2, y T3 adoptan dos niveles de tensión bien diferenciados ('0' ó '1' lógico) según la temperatura sea menor, o mayor-igual a t1, t2, ó t3 respectivamente ($t_1 < t_2 < t_3$). Se asigna el valor cero al nivel de tensión correspondiente a una temperatura inferior a t, y el valor uno al nivel correspondiente a una temperatura mayor o igual a t.

Se desea generar una señal que cumpla lo siguiente:

- Tome un nivel de tensión alto (1 lógico) si la temperatura está comprendida entre t1 y t2
- Tome un nivel de tensión alto si la temperatura es superior o igual a t3
- Tome un nivel de tensión bajo en cualquier otro caso diferente a los descritos anteriormente.

Diseñar la función lógica usando:

- a) Con puertas NAND y también con puertas NOR (hasta 1 punto)
- b) Con un decodificador y puertas NAND (hasta 1 punto)
- c) Con un multiplexor (hasta 1 punto)

28. Florencio va a ir a una fiesta esta noche, pero no solo. Tiene cuatro nombres en su agenda: Ana, Bea, Carmen y Diana. Puede invitar a más de una chica pero no a las cuatro. Para no romper corazones, ha establecido las siguientes normas:

- Si invita a Bea, debe invitar también a Carmen
- Si invita a Ana y a Carmen, deberá también invitar a Bea o a Diana
- Si invita a Carmen o a Diana, o no invita a Ana, deberá invitar también a Bea.

Antes de llamarlas por teléfono, quiere utilizar un circuito que le indique cuándo una elección no es correcta. Ayuda al pobre Florencio a diseñar el circuito. Se pide:

- a) Escribir la tabla de la verdad del circuito
- b) Diseñar el circuito óptimo simplificando mediante un mapa de Karnaugh. Implementar con puertas lógicas el circuito
- c) Diseñar el circuito usando un multiplexor 8 a 1
- d) Diseñar el circuito usando un multiplexor 4 a 1

Criterios: A: Ana, B: Bea, C: Carmen, D: Diana, $A=0 \Rightarrow$ No invito a Ana, $A=1 \Rightarrow$ sí
 Salida = 1 $\Rightarrow$ Elección incorrecta, Salida = 0 $\Rightarrow$ Elección correcta

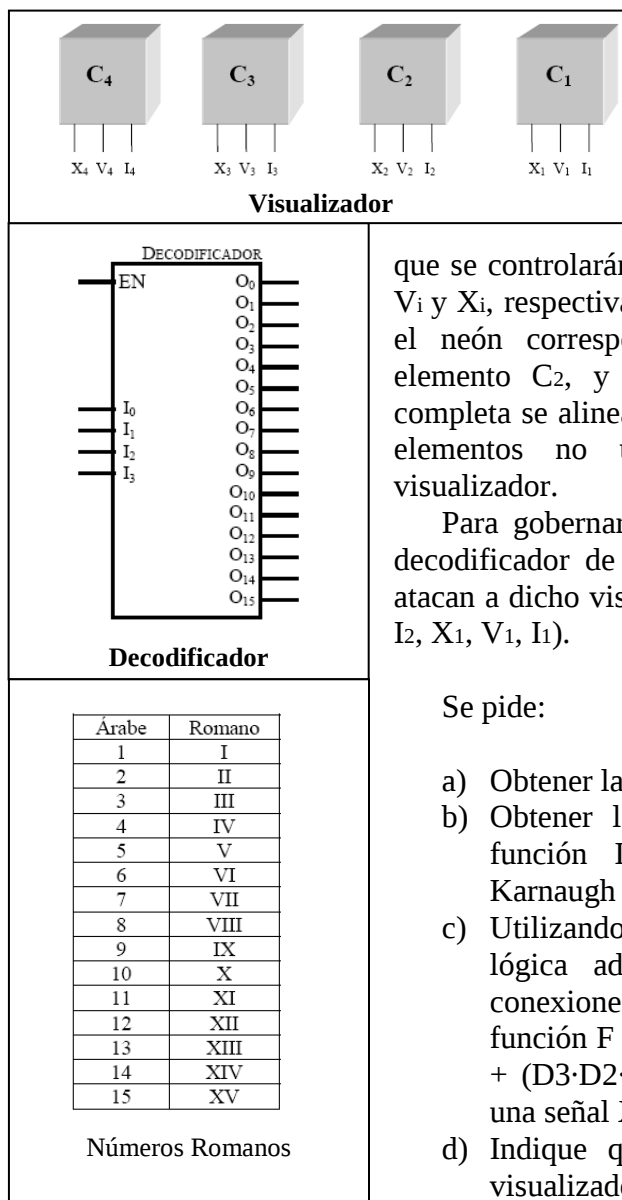
29. Se desea transmitir las primeras cuatro letras del alfabeto de un ordenador ORD1 a otro ORD2. En el primero las cuatro letras están codificadas en tres líneas X1, X2 y X3 y en el segundo tan solo en dos Y1 e Y2, según la tabla adjunta. Se pide realizar y dibujar un circuito combinacional que utilizando sólo puertas NAND, sirva para realizar la conversión de código tal y como muestra la figura.

	A	B	C	D
X1	0 ó 1	1	0	1
X2	1 ó 0	1	0	0
X3	X ó 0	X	X	1
Y1	0	0	1	1
Y2	0	1	0	1



NOTA: Con una X (*don't care*) se indica en la tabla que la variable puede tomar cualquier valor entre los posibles.

30. Queremos realizar un visualizador de números romanos (la tabla adjunta) comprendidos entre el 1 y el 15 a partir de una palabra binaria de cuatro bits ($D_3D_2D_1D_0$), siendo D_3 el más significativo y entendiendo que el valor de cero tiene como equivalente el visualizador apagado.



Para ello dispondremos de cuatro elementos C_4 , C_3 , C_2 y C_1 como los de la **figura** que formarán la cifra romana. En cada uno de ellos colocaremos tres neones, uno para cada símbolo romano “I”, “V” y “X”

que se controlarán con tres señales activas a nivel alto I_i , V_i y X_i , respectivamente (por eje., si $I_2=1$, se encenderá el neón correspondiente a la cifra romana “I” del elemento C_2 , y así sucesivamente). La cifra romana completa se alineará **a la derecha**, dejando en blanco los elementos no usados en la parte izquierda del visualizador.

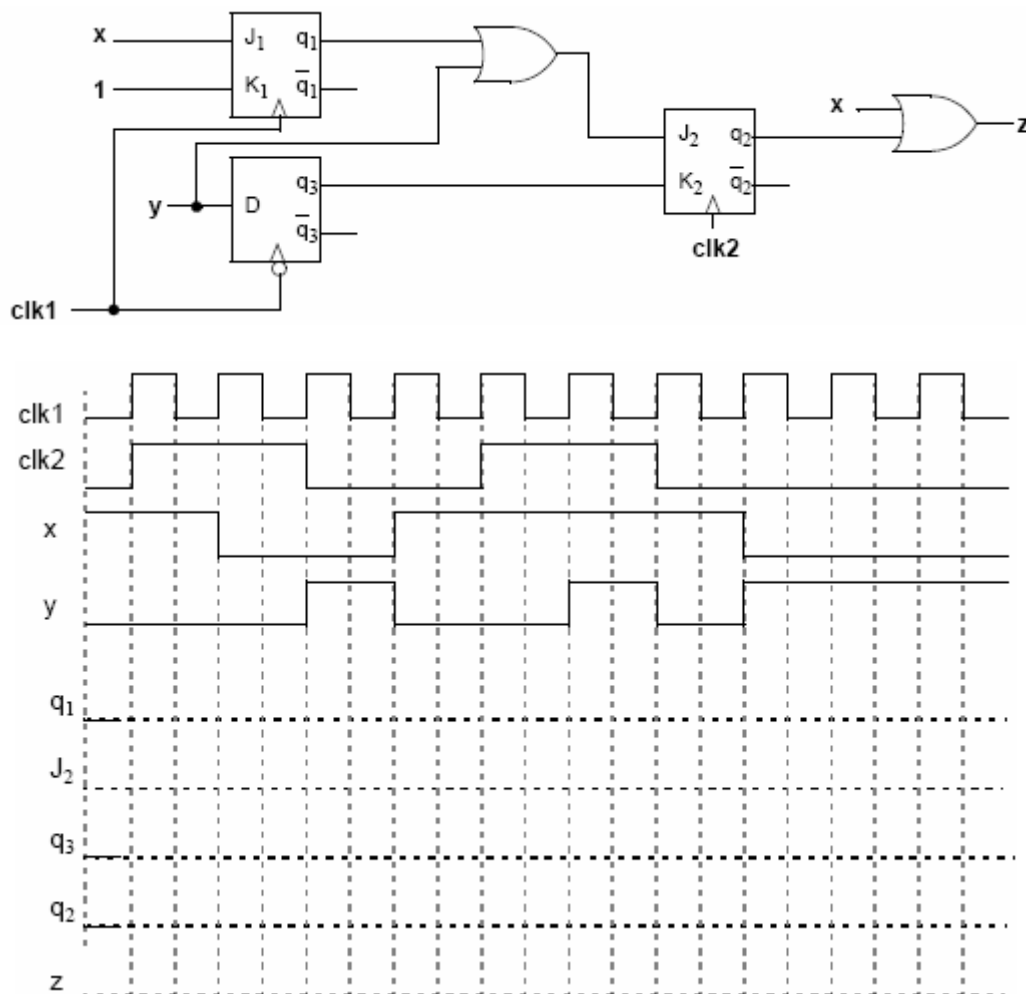
Para gobernar el visualizador deberemos realizar un decodificador de binario ($D_3D_2D_1D_0$) a las señales que atacan a dicho visualizador ($X_4, V_4, I_4, X_3, V_3, I_3, X_2, V_2, I_2, X_1, V_1, I_1$).

Se pide:

- Obtener la tabla de verdad de I_2
- Obtener la expresión algebraica mínima de la función I_2 , haciendo uso de los mapas de Karnaugh por minitérminos y maxitérminos
- Utilizando el decodificador 4 a 16 de la figura, la lógica adicional que crea conveniente y las conexiones necesarias, obtenga razonadamente la función $F = (D_3' \cdot D_2' \cdot D_1 \cdot D_0) + (D_3 \cdot D_2' \cdot D_1' \cdot D_0') + (D_3 \cdot D_2 \cdot D_1' \cdot D_0)$. Considere que representamos una señal X negada como X' .
- Indique qué señal de entre las que atacan al visualizador de números romanos ($X_4, V_4, I_4, X_3, V_3, I_3, X_2, V_2, I_2, X_1, V_1, I_1$) es implementada

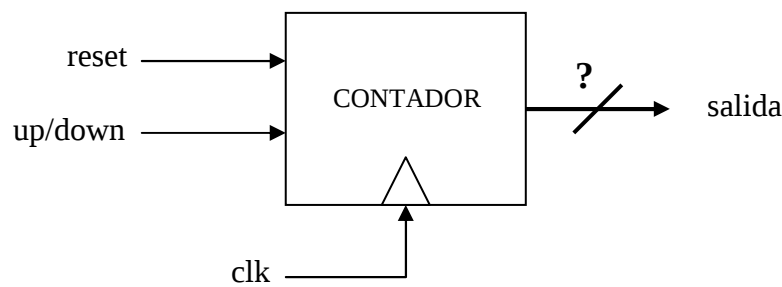
por la función F.

31. Analice el circuito secuencial de la figura, y complete el diagrama temporal.



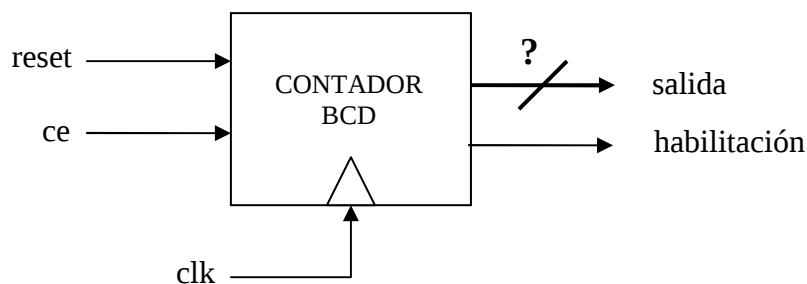
32. Diseñe un contador síncrono cíclico de 0 a 5 mediante una máquina tipo Moore, el cual tiene una señal de control de nombre *up/down*. Si esta señal es un '0', el circuito cuenta de manera cíclica descendente, pero si es '1' cuenta de forma ascendente. Además, el circuito contiene también una señal de entrada reset que ataca directamente a los biestables y hacen que el contador se ponga a '0' de manera asíncrona. Obtener:

- El diagrama de estados del sistema (grafo de estados)
- ¿Cuántos biestables son necesarios? ¿Por qué? ¿Qué número de salidas tiene el contador?
- La tabla de transiciones
- Realizar el circuito a diseñar con biestables tipo T
- Conectar adecuadamente el contador a un decodificador de 7 segmentos y a un display de 7 segmentos y punto decimal, con el fin de poder visualizar las cuentas



33. Diseñar un contador cíclico de 4 bits para números BCD usando biestables tipo T. El circuito debe tener una señal de entrada *reset* que hacen que el contador se ponga a '0' de manera asíncrona y una señal de entrada de habilitación (*chip enable*). Ambas señales atacan directamente a los biestables mencionados.

- El diagrama de estados del sistema (grafo de estados)
- La tabla de transiciones
- Realizar el circuito a diseñar con biestables tipo T
- Implementar una función de habilitación, expresada como suma de productos lo más simplificada posible que valga '1' cuando la salida del contador sea '9' y '0' para el resto de salidas del contador
- La salida adicional creada en el apartado anterior se emplea para conectar estos bloques en cascada. Crear un contador cíclico de 0 a 999 empleando para visualizar el conteo los decodificadores de 7 segmentos y *displays* que estimes oportuno



34. Utilizando tres FF tipo JK, realizar un circuito síncrono (diagrama de estados, tabla de transiciones y excitación y circuito) que cuente sólo los cuatro estados pares posibles. Para evitar cualquier problema de bloqueo, diseñar un mecanismo de modo que si el contador pasa accidentalmente a un estado impar, vaya al estado definido como $Q_2Q_1Q_0=000$.

35. Diseñe un contador cíclico ascendente de los números primos comprendidos entre 0 y 15 (incluido el 0) empleando para tal fin biestables tipo D. Se pide:

- El diagrama de estados del sistema (grafo de estados)

- b) La tabla de transiciones
- c) Realizar el circuito con biestables tipo D
- d) Implementar un circuito adicional lo más simplificado posible que, colocado a la salida del contador, sea un 1 cuando la salida esté comprendida entre 5 y 11, ambos inclusive.

36. La tabla adjunta describe el comportamiento de una FSM de tres estados, dos entradas X_1 , X_0 y dos salidas Z_1 y Z_0 . Señalar si es una máquina de Moore o Mealy. Justificar la respuesta.

Est. ANTERIOR	Est. SIGUIENTE $Q_1^{n+1} \quad Q_0^{n+1}$				SALIDAS $Z_1 \quad Z_0$			
$Q_1^n \quad Q_0^n$	$X_1X_0=00$	$X_1X_0=01$	$X_1X_0=10$	$X_1X_0=11$	$X_1X_0=00$	$X_1X_0=01$	$X_1X_0=10$	$X_1X_0=11$
0 0	0 0	1 0	1 1	1 1	1 0	1 0	1 0	1 0
1 0	1 1	1 1	1 0	0 0	0 0	0 0	0 0	0 0
1 1	1 0	1 0	1 0	0 0	1 1	1 1	1 1	1 1

37. Diseñe un detector de trama mediante una máquina tipo Mealy con una entrada X y una salida Z . Dicha salida muestra un 1 lógico sólo si los últimos 3 bits detectados son tres unos (111) o si son los tres ceros (000). Obtener:

- a) El diagrama de estados del sistema (grafo de estados)
- b) ¿Cuántos biestables son necesarios? ¿Por qué?
- c) La tabla de transiciones
- d) Realizar el circuito a diseñar con biestables tipo JK
- e) Conectar adecuadamente el sistema diseñado a un decodificador de 7 segmentos y a un display de 7 segmentos y punto decimal, con el fin de poder visualizar la salida numéricamente

Como ejemplo de funcionamiento se muestra el siguiente cronograma:

T=	1	2	3	4	5	6	7	8	9	10	11	12	13	14
X=	1	0	0	0	0	1	0	1	1	0	1	1	1	0
Z=	0	0	0	1	1	0	0	0	0	0	0	0	1	0

38. Diseñar una máquina tipo Moore que reconozca cualquier cadena de bits que contenga un número par de UNOS e impar de CEROS. Para ello se dispone de una entrada de datos de un bit (E) por la que van apareciendo los valores de la cadena a reconocer, y de una salida de un bit (S) que indica si se ha reconocido la cadena de bits descrita.

- a) Diseñar el diagrama de estados indicando claramente qué representa cada estado. Cuando en la entrada E se reconozca la cadena correspondiente a un número par de UNOS e impar de CEROS, el autómata debe generar un UNO en la salida S . Será CERO en el resto de los casos.
- b) La tabla de transiciones
- c) Realizar el circuito a diseñar con biestables tipo D

39. Utilice flip-flops D para diseñar un contador generador de números pseudoaleatorios de 3 bits. El circuito tiene una entrada de control x . Cuando $x=0$, el circuito debe operar como un contador binario hacia arriba. En caso contrario, debe operar como un generador de números pseudoaleatorios, según la siguiente tabla funcional.

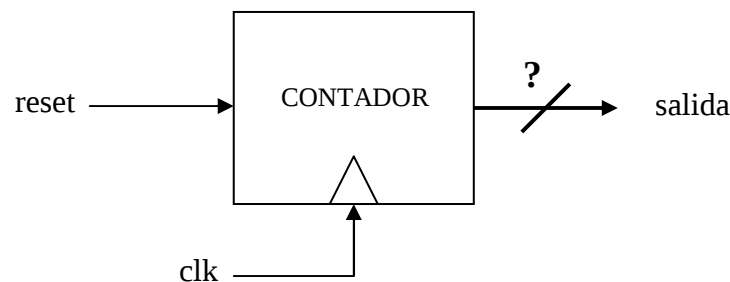
Estado actual	Estado siguiente	
	Contador Binario hacia arriba $x=0$	Generador de Números pseudoaleatorios $x=1$
0	1	0
1	2	4
2	3	5
3	4	1
4	5	2
5	6	6
6	7	7
7	0	3

40. Diseñar un sistema secuencial con una entrada serie de datos (X), y una salida (Z) a través de una máquina tipo Mealy. Dicho sistema debe mostrar a su salida un 1 lógico cuando la cantidad de unos que se hayan recibido por la entrada X sea divisible por 3. Se pide:

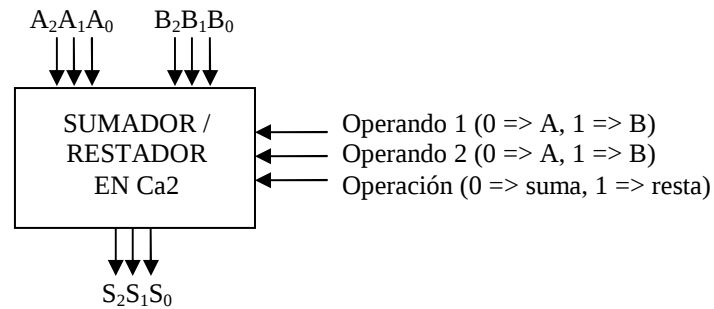
1. Diagrama de estado y tabla de transiciones
2. Implementación con biestables tipo RS y puertas lógicas

41. Se desea diseñar un contador cíclico que cuente desde -4 hasta +3 mediante una representación numérica binaria en complemento a 2.

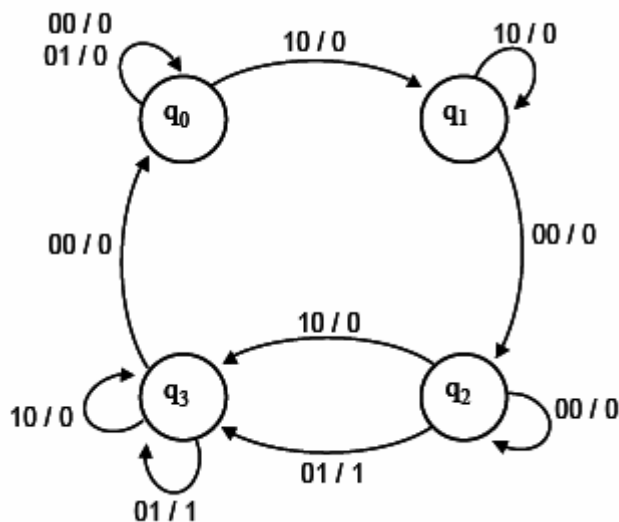
- a) ¿Cuántos bits serán necesarios para poder representar la salida del contador? ¿Por qué?
- b) Elaborar la codificación de los valores en complemento a 2, es decir, la tabla de conversión de los números decimales a números en el código indicado
- c) Dibujar el diagrama de estados del sistema (grafo de estados)
- d) ¿Cuántos biestables son necesarios? ¿Por qué?
- e) La tabla de transiciones
- f) Realizar el circuito a diseñar con biestables tipo T con reset asíncrono



- g) Realizar el mismo diseño si se dispone de un sumador/restador de tres bits en complemento a 2 (ver figura) y de biestables tipo D con reset asíncrono.



42. Diseñar la máquina de estados que se muestra en la figura. Para ello, usar un biestable tipo D para la variable estado Q_0 y un biestable J-K para la variable de estado Q_1 . Además, debe emplearse sólo puertas NOR para el cálculo de la función que ataca la entrada del biestable tipo D (D) y dos multiplexores 2 a 1 para las funciones que atacan a la entradas del otro biestable (J, K). Usar un decodificador 4 a 16 activo a nivel alto para implementar la salida de la máquina de estado.



Codificación de estados:

(Q_1, Q_0)

$q_0 = (0, 0)$

$q_1 = (0, 1)$

$q_2 = (1, 1)$

$q_3 = (1, 0)$

Leyenda en las transiciones:

A B / C

- Tabla de transiciones y de salida
- Obtención de la entrada al biestable D
- Obtención de las entradas al biestable JK
- Obtención de la salida con el decodificador
- Implementación del circuito total